

Hodnocení

Za úplné a správné zodpovězení otázky je možné získat nejvýše počet bodů uvedený v hranatých závorkách. Rozsah odpovědi by měl pokrývat otázku samotnou, případně bezprostředně související problematiku, pokud je zřejmé, že odpověď by měla triviální charakter. Volba rozsahu odpovědi a její formulace velkou měrou vypovídá o porozumění tématu.

Celkem je možné získat 20 bodů, přičemž výsledné hodnocení je odvozeno z počtu získaných bodů. Znamka 1 je podmíněna získkem alespoň 17 bodů, známka 2 získkem alespoň 13 bodů a známka 3 získkem alespoň 10 bodů.

Otázka 1 [1]

Uvažujte následující procesory, které implementují odlišné instrukční sady a vykonávají stejný program:

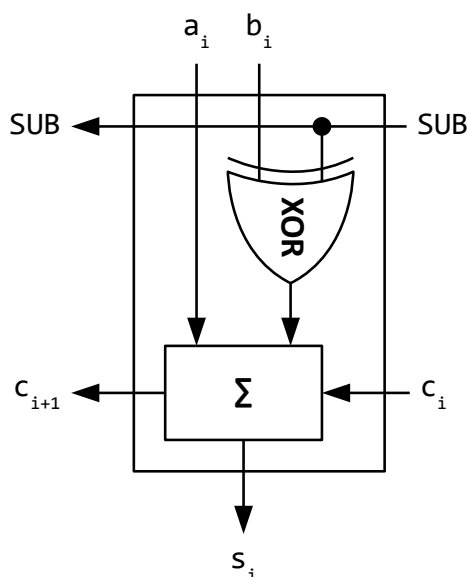
Procesor	Frekvence	Počet instrukcí	Čas
P1	2 GHz	20×10^9	7 s
P2	1.5 GHz	30×10^9	10 s
P3	3 GHz	90×10^9	9 s

Kolik instrukcí by musel mít program pro procesor P2, aby běžel stejně rychle jako na procesoru P3?

Otázka 2 [1]

Vysvětlete, jak byste převedli řadič jednocyklové datové cesty realizovaný pomocí kombinačního obvodu na realizaci pomocí ROM. Proč je takový převod možný a v jaké situaci by byl vhodný?

Otázka 3 [2]



Odvoďte pravdivostní tabulku pro vstupy a výstupy 1-bitové ALU znázorněné na obrázku. **Vstupy** SUB a c_i

považujte za spojené ($SUB = c_i$), takže stačí rozlišovat **pouze 3 vstupy**. Pomocí hradel (a poloviční sčítačky) nebo logických funkcí vyjádřete vnitřní strukturu úplné sčítačky uvnitř ALU.

Otázka 4 [2]

Vysvětlete a případně nakreslete, jak by bylo nutné upravit jednocyklovou datovou cestu na obrázku 1 (na straně 2), aby podporovala instrukci

$jalr\ Rs$

s následující interpretací:

$Reg[31] = PC + 4; PC = Reg[Rs]$

Uveďte ohodnocení řídicích signálů nutné pro vykonání instrukce.

Otázka 5 [1]

Předpokládejte, že jednotlivé stupně pipeline (resp. odpovídající části jednocyklové datové cesty) mají následující latence:

IF	ID	EX	MEM	WB
200 ps	150 ps	120 ps	190 ps	140 ps

Jaká bude celková *latence* instrukce **lw** (load word) v případě jednocyklové a v případě zřetěžené (*pipelined*) datové cesty?

Otázka 6 [2]

Uveďte příklad nějakého dynamického prediktoru skoků a demonstруйте jeho chování a přesnost na jednoduchých i vnořených cyklech.

Otázka 7 [1]

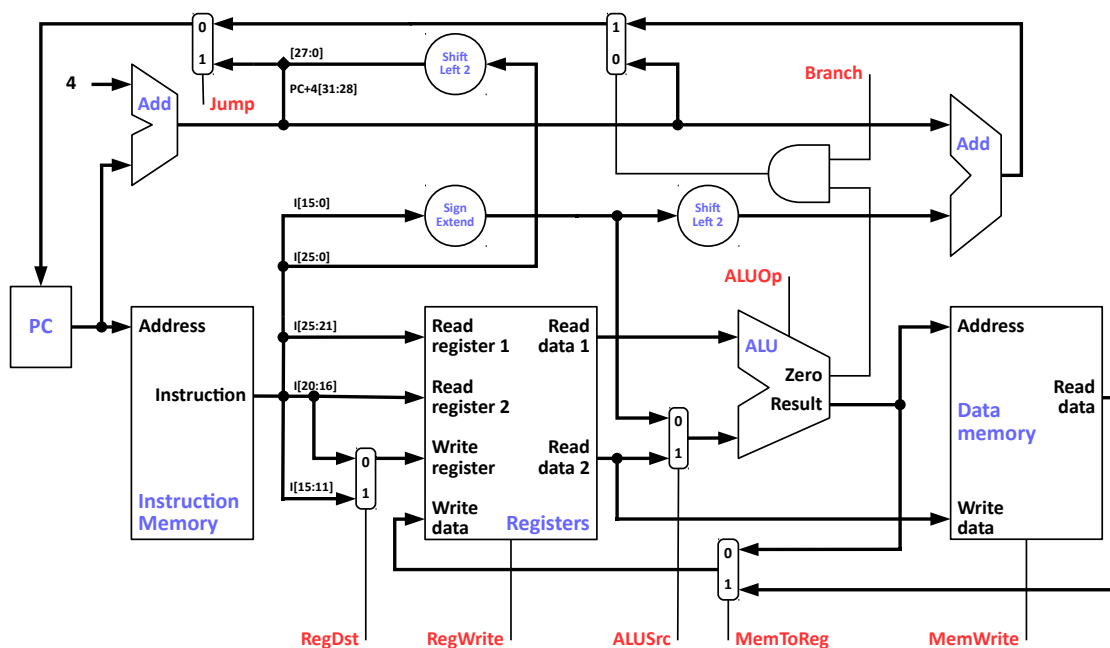
Který ze základních typů operační paměti dnešních počítačů (SRAM, DRAM) má nižší cenu v přepočtu na bit a proč?

Otázka 8 [2]

Vysvětlete co je konfliktní/kolizní výpadek (*conflict/collision miss*) cache, kdy k němu dochází, jak je možné tento typ výpadků rozlišit od jiných a jak je jejich četnost ovlivněna architekturou cache, resp. paměťové hierarchie.

Otázka 9 [2]

Schematicky znázorněte umístění 16 souvislých bloků paměti do plně asociativní cache s 8 položkami (*cache lines*). Znázorněte jak a k čemu se při přístupu do cache používají různé části adresy A v závislosti na počtu *cache lines* a jejich velikosti B v bajtech. Co všechno musí cache obsahovat a jaká by měla 8-položková cache režii, pokud by adresy byly 16-bitové a velikost cache line 4 bajty?



Obrázek 1

Otázka 10 [2]

Popište a porovnejte chování *write back* a *write through* cache, pokud při vykonávání instrukce zápisu do paměti nastane **write miss**.

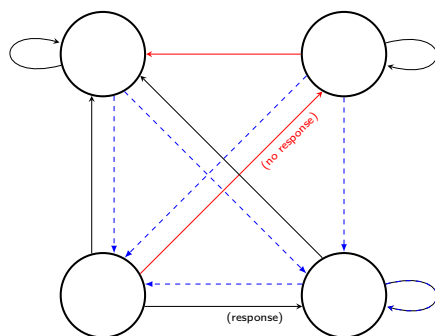
Která ze strategií *write allocate* a *write no-allocate* je vhodnější pro každý z typů cache a proč?

Otázka 11 [2]

Vysvětlete a na jednoduchém příkladu (stačí pseudokód) demonstруйте, co je to *false sharing*, kdy k němu dochází a jakým způsobem je možné ho odstranit.

Otázka 12 [2]

Doplňte názvy stavů a ohodnocení přechodů koherenčního protokolu MESI na Obr. 2 (strana 2). Popište a vysvětlete význam všech stavů a přechodů.



Obrázek 2