

## Hodnocení

Za úplné a správné zodpovězení otázky je možné získat nejvýše počet bodů uvedený v hranatých závorkách. Rozsah odpovědi by měl pokrývat otázku samotnou, případně bezprostředně související problematiku, pokud je zřejmé, že odpověď by měla triviální charakter. Volba rozsahu odpovědi a její formulace velkou měrou vypovídá o porozumění tématu.

Celkem je možné získat 20 bodů, přičemž výsledné hodnocení je odvozeno z počtu získaných bodů. Znamka 1 je podmíněna získkem alespoň 17 bodů, známka 2 získkem alespoň 13 bodů a známka 3 získkem alespoň 10 bodů.

### Otázka 1 [1]

Vysvětlete, jak byste převedli řadič jednocyklové datové cesty realizovaný pomocí ROM na realizaci pomocí kombinačního obvodu. Proč je takový převod možný a v jaké situaci by byl vhodný?

### Otázka 2 [2]

Pro jednocyklovou datovou cestu na Obr. 1 (strana 2) napište ohodnocení řídicích signálů tak, aby datová cesta vykonala instrukci

slt Rd, Rs, Rt

s následující interpretací:

$\text{Reg [Rd]} = (\text{Reg [Rs]} < \text{Reg [Rt]}) ? 1 : 0$

Popište co datová cesta v průběhu vykonávání instrukce dělá a v kontextu toho zdůvodněte ohodnocení jednotlivých řídicích signálů.

### Otázka 3 [2]

Předpokládejte, že procesor MIPS s klasickou 5-stupňovou pipeline s fázemi IF-ID-EX-MA-WB, kompletním forwardingem a prediktorem skoků typu *always taken* vykonává následující posloupnost instrukcí:

```

    add $1, $5, $3
Label1: sw $1, 0 ($2)
    add $2, $2, $3
    beq $2, $4, Label1 ; Not taken
    add $5, $5, $1
    sw $1, 0 ($2)

```

Nakreslete pipeline diagram pro uvedenou posloupnost instrukcí, ve kterém vyznačíte zpracování jednotlivých instrukcí v čase. Předpokládejte, že podmíněné skoky se vykonávají ve fázi EX, a že procesor **MÁ** *delay slot*.

### Otázka 4 [2]

Uveďte krátkou sekvenci instrukcí obsahující závislost typu *load-use*. Vysvětlete co způsobuje v datové cestě se zřetězeným zpracováním instrukcí (klasická 5-stupňová single-issue MIPS pipeline) a proč není možné důsledky této závislosti zcela odstranit forwardingem.

### Otázka 5 [1]

Zpoždování pipeline v důsledku špatně předpověděných výsledků podmíněných skoků zvyšuje CPI. Jakého zrychlení by se dalo dosáhnout s 2-bitovým prediktorem, pokud bychom nahradili polovinu instrukcí větvení za speciální instrukci vykonávanou pomocí ALU? Předpokládejte, že správně i špatně predikované instrukce větvení jsou nahrazeny se stejnou pravděpodobností. Uvažujte následující instrukční mix a přesnost predikce 95%.

registrové	beq	jmp	lw	sw
30%	10%	5%	35%	20%

Uvažujte klasickou 5-stupňovou pipeline s fázemi IF-ID-EX-MA-WB a vyhodnocením podmíněného skoku ve fázi EX. Předpokládejte, že v programu nejsou žádné datové hazardy, a že se nevyužívají branch delay sloty.

### Otázka 6 [1]

Některé podmíněné skoky lze predikovat lépe než ostatní. Pokud víme, že 80% všech vykonaných instrukcí větvení jsou lehce predikovatelné podmíněné skoky zpět na začátek cyklu, které jsou vždy predikovány správně, jaká je přesnost 2-bitového prediktoru na *zbývajících* 20% podmíněných skoků? Předpokládejte, že celková přesnost predikce 2-bitového prediktoru je 95%.

### Otázka 7 [1]

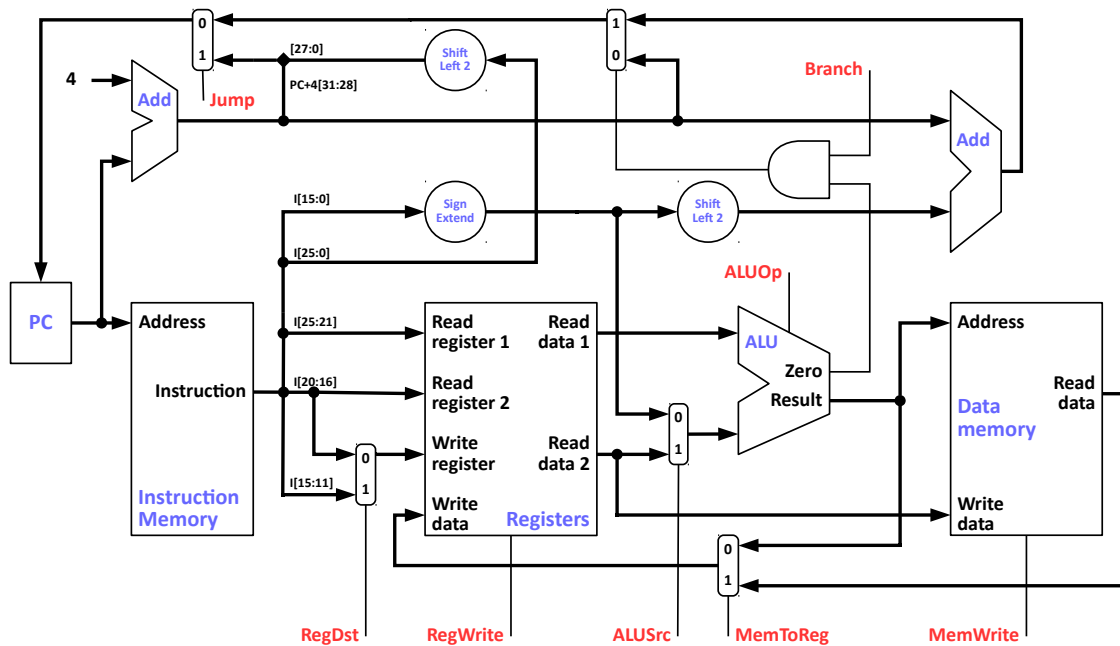
Jaká je velikost buňky (hlavní) operační paměti počítače a čím je jednoznačně identifikována?

### Otázka 8 [1]

Proč je paměť typu DRAM (dynamická RAM) obecně vhodnější pro realizaci primární (operační) paměti počítače než paměť typu SRAM (statická RAM)?

### Otázka 9 [1]

Popište stručně princip prostorové lokality (*spatial locality*) a jaký vliv má na architekturu paměťové hierarchie počítače.



Obrázek 1

### Otázka 10 [2]

Vysvětlete co je kapacitní výpadek (*capacity miss*) cache, kdy k němu dochází, jak je možné tento typ výpadků rozlišit od jiných a jak je jejich četnost ovlivněna architekturou cache, resp. paměťové hierarchie. Proč se u nových procesorů kapacita L1 cache (v podstatě) nezvětšuje?

### Otázka 11 [2]

Pro 16 souvislých bloků paměti schematicky znázorněte mapování do 2-cestné množinově asociativní cache s 8 položkami (*cache lines*), tj. kde v cache by mohly být bloky uloženy. Znázorněte jak a k čemu se při přístupu do cache používají různé části adresy  $A$  v závislosti na počtu *cache lines* a jejich velikosti  $B$  v bajtech. Co všechno musí cache obsahovat a jaká by měla 8-položková cache režii, pokud by adresy byly 16-bitové a velikost cache line 4 bajty?

### Otázka 12 [2]

Vysvětlete a na jednoduchém příkladu (stačí pseudokód) demonstруйте, co je to *false sharing*, proč a za jakých podmínek k němu dochází a jakým způsobem je možné ho odstranit.

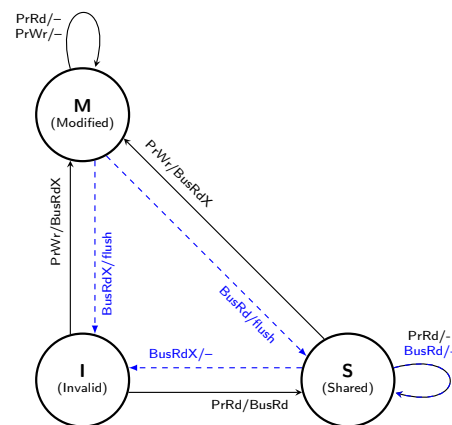
### Otázka 13 [2]

Přístupy do paměti programu běžícího na více procesorech způsobily následující posloupnost operací nad jednou konkrétní cache line:

1. **P2** write
2. **P0** read
3. **P1** read

4. **P0** write
5. **P2** read

Předpokládejte, že víceprocesorový systém používá write-back cache a koherenční protokol MSI, jehož přechodový diagram je znázorněn na obrázku 2. Pro každou operaci uveďte, jak budou reagovat a vzájemně komunikovat řadiče cache jednotlivých procesorů a jak se bude měnit stav cache line na jednotlivých procesorech.



Obrázek 2