

Hodnocení

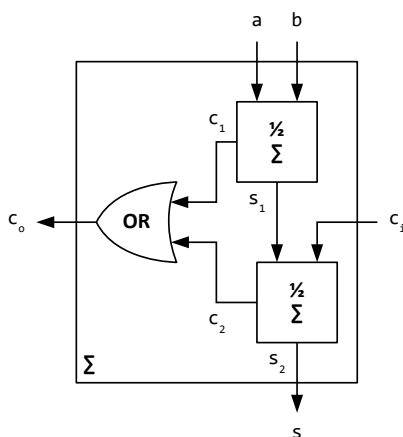
Za úplné a správné zodpovězení otázky je možné získat nejvýše počet bodů uvedený v hranatých závorkách. Rozsah odpovědi by měl pokrývat otázku samotnou, případně bezprostředně související problematiku, pokud je zřejmé, že odpověď by měla triviální charakter. Volba rozsahu odpovědi a její formulace velkou měrou vypovídá o porozumění tématu.

Celkem je možné získat 20 bodů, přičemž výsledné hodnocení je odvozeno z počtu získaných bodů. Znamka 1 je podmíněna získkem alespoň 17 bodů, známka 2 získkem alespoň 13 bodů a známka 3 získkem alespoň 10 bodů.

Otázka 1 [1]

Simulační program tráví 10% času činností, kterou nelze paralelizovat. Pro zrychlení programu se používá výpočetní cluster se 16 uzly. Jakého zrychlení (oproti původnímu clusteru) bychom dosáhli spuštěním na clusteru se 32 uzly? Jaké je maximální (teoretické) zrychlení pro tento program?

Otázka 2 [2]



Odvoďte pravdivostní tabulku pro vstupy a výstupy úplné jednobitové sčítačky znázorněné na obrázku. Vysvětlete, jak se úplná sčítačka liší od poloviční sčítačky a pomocí hradel (nebo logických funkcí) funkcí vyjádřete vnitřní strukturu poloviční sčítačky.

Otázka 3 [2]

Vysvětlete a případně nakreslete, jak by bylo nutné upravit jednocyklovou datovou cestu na obrázku 1 (na straně 2), aby podporovala instrukci

jr Rs

s následující interpretací:

PC = Reg [Rs]

Uveďte ohodnocení řídicích signálů nutné pro vykonání instrukce.

Otázka 4 [1]

Předpokládejte, že jednotlivé stupně pipeline (resp. odpovídající části jednocyklové datové cesty) mají následující latence:

IF	ID	EX	MEM	WB
300 ps	400 ps	350 ps	500 ps	100 ps

Pokud bychom mohli rozdělit libovolný stupeň pipeline na dva s poloviční latencí, který by to byl? Jaký by byl rozdíl v periodách hodinového signálu mezi původní a novou verzí procesoru?

Otázka 5 [2]

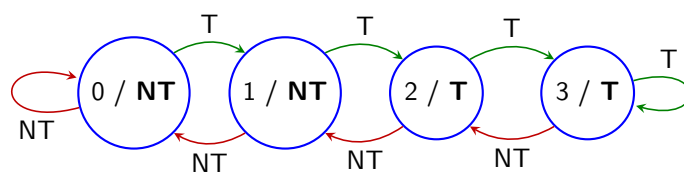
Předpokládejte, že procesor MIPS s klasickou 5-stupňovou pipeline s fázemi IF-ID-EX-MA-WB, kompletním forwardingem a prediktorem skoků typu *always taken* vykonává následující posloupnost instrukcí:

```
Label1: lw $1, 40 ($6)
        beq $2, $3, Label2 ; Taken
        add $1, $6, $4
```

```
Label2: beq $1, $2, Label1 ; Not taken
        sw $2, 20 ($4)
        and $1, $1, $4
```

Nakreslete pipeline diagram pro uvedenou posloupnost instrukcí, ve kterém vyznačíte zpracování jednotlivých instrukcí v čase. Předpokládejte, že podmíněné skoky se vykonávají ve fázi EX, a že procesor **NEMÁ** delay slot.

Otázka 6 [2]



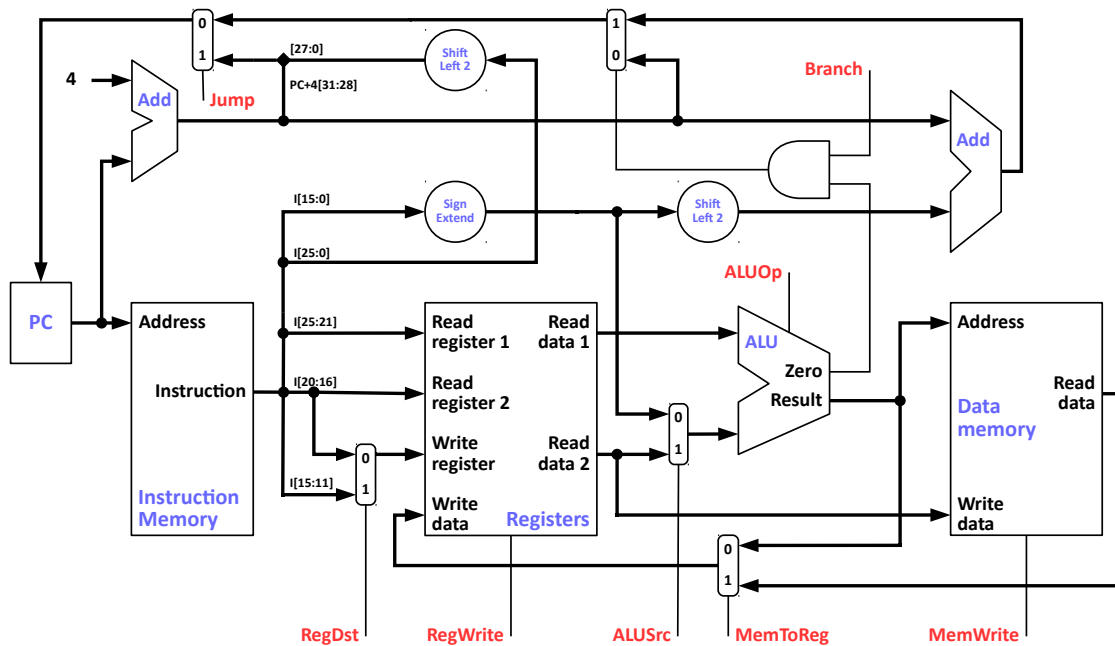
Obrázek 2

Jaká je přesnost predikce 2-bitového dynamického prediktora na Obr. 2 (strana 1) pokud by se následující posloupnost výsledků (stejně) instrukce podmíněného skoku **neustále opakovala**? Stav 0 považujte za počáteční.

T, T, NT, T

Otázka 7 [1]

Proč jsou paměti typu DRAM (dynamická RAM) obecně pomalejší než paměti typu SRAM (statická RAM)?



Obrázek 1

Otázka 8 [2]

Vysvětlete co je studený výpadek (*compulsory/cold miss*) cache, kdy k němu dochází, jak je možné tento typ výpadků rozlišit od jiných a jak je jejich četnost ovlivněna architekturou cache, resp. paměťové hierarchie.

Otázka 9 [2]

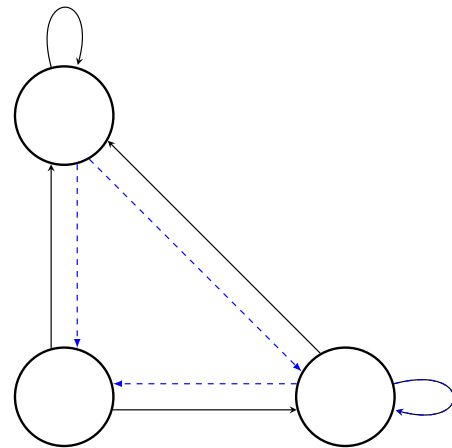
Popište a porovnejte chování *write back* a *write through* cache, pokud při vykonávání instrukce zápisu do paměti nastane **write hit**.

Otázka 10 [3]

Předpokládejte, že máte 3 malé cache, každou s kapacitou 4 bloků (*cache lines*). Každá cache má jiné vnitřní uspořádání: první je přímo mapovaná, druhá je 2-cestná množinově asociativní a třetí je plně asociativní. Předpokládejte rovněž, že program čte data z následujících bloků paměti: 0, 8, 0, 6, a 8. Pro každou cache znázorněte její obsah po každém přístupu (obsah bloku x paměti označte jako $M[x]$) a zjistěte počet výpadků. V situacích, které to vyžadují, použijte strategii LRU (*least recently used*) pro výběr obětí.

Otázka 11 [2]

Doplňte názvy stavů a ohodnocení přechodů koherenčního protokolu MSI na Obr. 3 (strana 2). Popište a vysvětlete význam všech stavů a přechodů.



Obrázek 3