

```
# Hodnoceni

## Otazka 1 [1]: 1b

## Otazka 2 [1]: 1b

- Vase odpoved rika, jak dlouho bude trvat 1 krok simulace
- otazka se pta, jak dlouho bude trvat cela simulace (pochopitelne
  ve vztahu k puvodnimu celkovemu casu, ktery nezname)

## Otazka 3 [2]: 2b

## Otazka 4 [2]: 1.5b

- Ze zbylych ridicich signalu Vas musi zajimate `RegWrite` a
  `MemWrite`, ktere oba **musi** byt `0`, abyste nezapsal nejake nesmysly
  do registru nebo do cache.

## Otazka 5 [1]: 1b

## Otazka 6 [1]: 0.5b

- Do registru zapisuji jeste registrove (ALU) operace.

## Otazka 7 [2]: 2b

## Otazka 8 [2]: 2b

## Otazka 9 [1]: 1b

## Otazka 10 [1]: 0.5-1b

- Casova lokalita je duvod, proc dava smysl hierachicka organizace
  pameti
  a tedy cache.

## Otazka 11 [1]: 1b

- V jakem smyslu bude mit cache velky overhead (prostorovy nebo
  casovy)?

## Otazka 12 [3]: 3b

## Otazka 13 [2]: 1b

- chybi semantika stavu a prechodu mezi nimi

# Znamka: 17.5-18b → 1
```