

Hodnocení

Za úplné a správné zodpovězení otázky je možné získat nejvýše počet bodů uvedený v hranatých závorkách. Rozsah odpovědi by měl pokrývat otázku samotnou, případně bezprostředně související problematiku, pokud je zřejmé, že odpověď by měla triviální charakter. Volba rozsahu odpovědi a její formulace velkou měrou vypovídá o porozumění tématu.

Celkem je možné získat 20 bodů, přičemž výsledné hodnocení je odvozeno z počtu získaných bodů. Znamka 1 je podmíněna získkem alespoň 17 bodů, známka 2 získkem alespoň 13 bodů a známka 3 získkem alespoň 10 bodů.

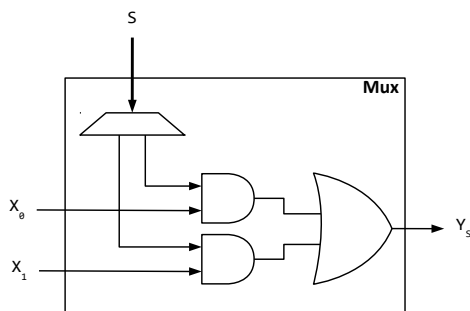
Otázka 1 [1]

Vysvětlete, jak přidání dalších procesorů ovlivní dobu odezvy (*response time*) a propustnost (*throughput*) počítačového systému (např. webového serveru), který využívá více procesorů pro zpracování různých požadavků (obsluha konkrétního požadavku je sekvenční). Předpokládejte, že systém je málo zatížený a tedy žádné požadavky nečekají ve frontě.

Otázka 2 [1]

Uvažujte program, kterému výpočet jednoho kroku simulace trvá 1s. Z toho 0.6s zabírají operace násobení. Jak dlouho budeme čekat na výsledek simulace, když program spustíme na procesoru s 5x rychlejší implementací operace násobení? Vysvětlete.

Otázka 3 [2]



Odvoďte pravdivostní tabulku pro vstupy a výstupy přepínače vstupů znázorněného na obrázku. Pomocí hradel nebo logických funkcí vyjádřete vnitřní strukturu dekodéru, který jednotlivé datové vstupy X_0 a X_1 aktivuje v závislosti na řídicím vstupu S .

Otázka 4 [2]

Pro jednocyklovou datovou cestu na Obr. 1 (strana 2) napište ohodnocení řídicích signálů tak, aby datová cesta vykonala instrukci

beq Rs, Rt, BranchAddr

s následující interpretací:

if (Reg [Rs] == Reg [Rt])

PC = PC + 4 + Shl2 (SignExt (BranchAddr))

Popište co datová cesta v průběhu vykonávání instrukce dělá a v kontextu toho zdůvodněte ohodnocení jednotlivých řídicích signálů.

Otázka 5 [1]

Předpokládejte, že jednotlivé stupně pipeline (resp. odpovídající části jednocyklové datové cesty) mají následující latence:

IF	ID	EX	MEM	WB
200 ps	150 ps	120 ps	190 ps	140 ps

Jaká bude perioda hodinového signálu v případě jednocyklového procesoru a v případě procesoru se zřetězenou (*pipelined*) datovou cestou?

Otázka 6 [1]

Jaké je vytížení zápisového portu registrového pole (% cyklů, kdy je používán) ve zřetěžené datové cestě (klasická 5-stupňová single-issue MIPS pipeline), pokud procesor vykonává program s následujícím instrukčním mixem:

ALU	beq	lw	sw
30%	25%	30%	15%

Předpokládejte, že při běhu programu nenastávají žádné hazardy, které by si vynucovaly zpoždování pipeline.

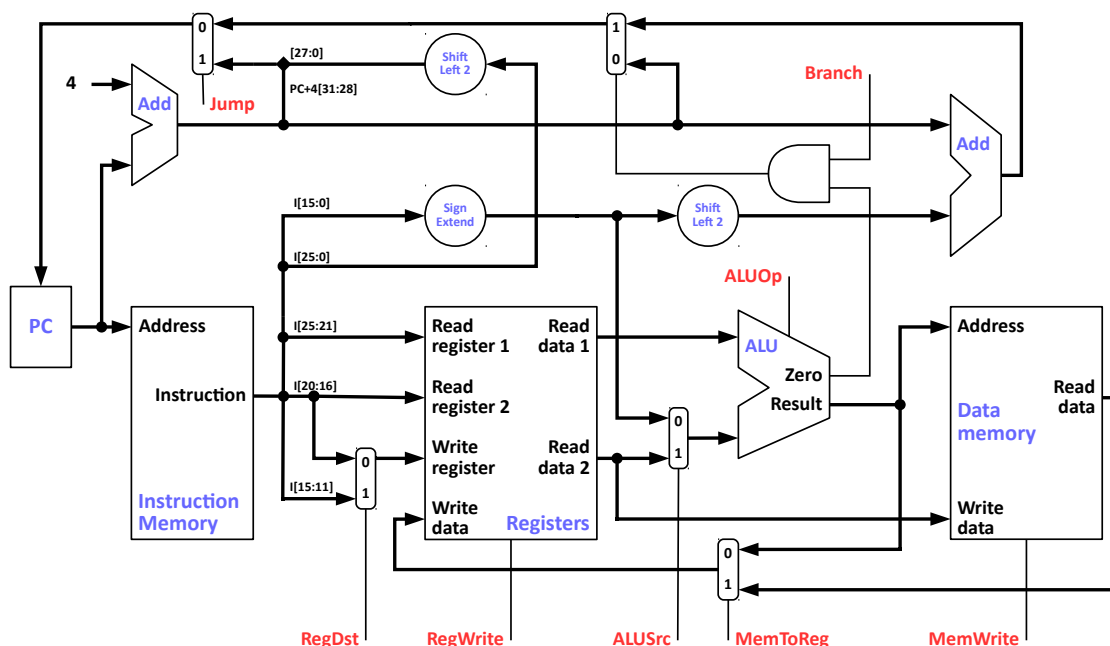
Otázka 7 [2]

Předpokládejte, že procesor MIPS s klasickou 5-stupňovou pipeline s fázemi IF-ID-EX-MA-WB, kompletním forwardingem a prediktorem skoků typu *always taken* vykonává následující posloupnost instrukcí:

```

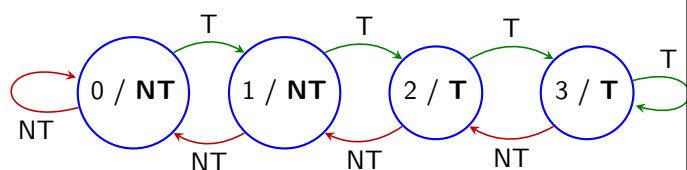
add $1, $5, $3
Label1: sw $1, 0($2)
add $2, $2, $3
beq $2, $4, Label1 ; Not taken
add $5, $5, $1
sw $1, 0($2)
```

Nakreslete pipeline diagram pro uvedenou posloupnost instrukcí, ve kterém vyznačíte zpracování jednotlivých instrukcí v čase. Předpokládejte, že podmíněné skoky se vykonávají ve fázi EX, a že procesor **NEMÁ** delay slot.



Obrázek 1

Otázka 8 [2]



Obrázek 2

Jaká je přesnost predikce 2-bitového dynamického prediktoru na Obr. 2 (strana 2) pokud by se následující posloupnost výsledků (stejně) instrukce podmíněného skoku **neustále opakovala**? Stav 0 považujte za počáteční.

T, T, T, NT, NT

Otázka 9 [1]

Proč je nutné obsah paměti typu DRAM (dynamická RAM) periodicky obnovovat?

Otázka 10 [1]

Popište stručně princip časové lokality (*temporal locality*) a jaký vliv má na architekturu paměťové hierarchie počítače.

Otázka 11 [1]

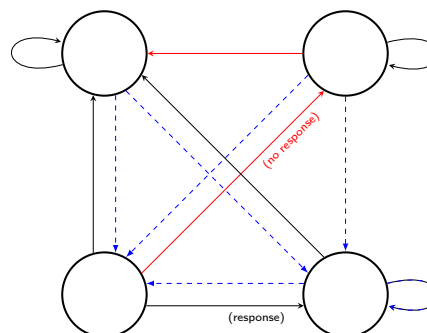
Vysvětlete jak a proč stupeň asociativity ovlivňuje výkonost cache (předpokládejte, že ostatní parametry cache se nemění).

Otázka 12 [3]

Předpokládejte, že máte 3 malé cache, každou s kapacitou 4 bloků (*cache lines*). Každá cache má jiné vnitřní uspořádání: první je přímo mapovaná, druhá je 2-cestná množinově asociativní a třetí je plně asociativní. Předpokládejte rovněž, že program čte data z následujících bloků paměti: 0, 8, 0, 6, a 8. Pro každou cache znázorněte její obsah po každém přístupu (obsah bloku x paměti označte jako $M[x]$) a zjistěte počet výpadků. V situacích, které to vyžadují, použijte strategii LRU (*least recently used*) pro výběr obětí.

Otázka 13 [2]

Doplňte názvy stavů a ohodnocení přechodů koherenčního protokolu MESI na Obr. 3 (strana 2). Popište a vysvětlete význam všech stavů a přechodů.



Obrázek 3